

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-213545

(43)Date of publication of application : 20.08.1996

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

(21)Application number : 07-018121

(71)Applicant : MITSUI HIGH TEC INC

(22)Date of filing : 06.02.1995

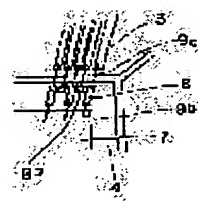
(72)Inventor : SHIMIZU KOJI
SAKATA SEIICHIRO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To mount a second semiconductor chip on a lead frame with a shorter bonding wire by a method wherein the semiconductor chip is connected to the lead frame through the intermediary of a circuit pattern.

CONSTITUTION: All the surface of a first semiconductor chip 4 is coated with an insulating film 14 through a screen printing method, and a circuit pattern 8 is formed on the periphery of the chip 4. Then, a second semiconductor chip 7 is mounted on the semiconductor chip 4 through the intermediary of an insulating paste 6. The semiconductor chips 4 and 7 are bonded with a first bonding wire 9b and a second bonding wire 9c respectively and then sealed up with sealing resin 11. The second bonding wire 9c is connected between the edge of the circuit pattern or the bonding pad BP of the semiconductor chip 4 and an inner lead 3. Lastly, a tie bar is cut off, and outer leads 12 are formed. As semiconductor chips are mounted on the one side of a lead frame, a semiconductor device of this constitution is easily sealed up with resin.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] So that some fields of the front face of the semiconductor chip loading section, the 1st semiconductor chip carried in said semiconductor chip loading section, and said 1st semiconductor chip may be made to expose The 2nd semiconductor chip by which the laminating was carried out to said 1st semiconductor chip front face through the insulator layer, The circuit pattern formed in said field through the insulator layer, and two or more inner leads you were made to connect to said 1st semiconductor chip, It is the semiconductor device which possesses the leadframe possessing the outer lead formed successively by each inner lead, and is characterized by connecting said 2nd semiconductor chip to said leadframe through said circuit pattern.

[Claim 2] Said semiconductor chip

loading section is a semiconductor device according to claim 1 characterized by being a heat sink.

[Claim 3] It is the semiconductor device according to claim 1 characterized by being constituted so that said 2nd semiconductor chip may be smaller than said 1st semiconductor chip and the head of said circuit pattern may be elongated to near the periphery of said 2nd semiconductor chip.

[Claim 4] It is the semiconductor device according to claim 1 with which the head of said circuit pattern is formed so that it may elongate to just under the periphery section of said 2nd semiconductor chip, and said 2nd semiconductor chip is characterized by direct continuation being carried out by direct bonding by the face down so that a component forming face side front face may counter on the head of said circuit pattern.

[Claim 5] The leadframe possessing two or more inner leads and the outer lead formed successively by each inner lead, By face down so that a component forming face side front face may counter on the head of said inner lead by direct bonding So that direct continuation may be carried out and said circuit pattern of the 1st semiconductor chip with which the circuit pattern was formed in the periphery section by the side of a non-component forming face, and said 1st semiconductor chip may be made to expose It is the semiconductor device

which possesses the 2nd semiconductor chip by which the laminating was carried out to the non-[said] component forming face side front face of said 1st semiconductor chip, and is characterized by connecting said 2nd semiconductor chip to said leadframe through said circuit pattern.

[Claim 6] It is the semiconductor device according to claim 5 with which the head of said circuit pattern is formed so that it may elongate to just under the periphery section of said 2nd semiconductor chip, and said 2nd semiconductor chip is characterized by direct continuation being carried out by direct bonding by the face down so that a component forming face side front face may counter on the head of said circuit pattern.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to a semiconductor device and relates to the semiconductor device structure of the laminating mold which comes to carry out the laminating of other semiconductor chips on a semiconductor chip especially.

[0002]

[Description of the Prior Art] Usually, a

semiconductor device carries a semiconductor chip on the die pad (semiconductor chip loading section) of a leadframe, connects the bonding pad of this semiconductor chip, and the inner lead of a leadframe by a bonding wire etc., closes these with closure ingredients, such as resin and a ceramic, further, cuts a tie rod and a sidebar, bends an outer lead in a desired configuration, and is made to complete them.

[0003] By the way, as for the demand to the densification of a semiconductor device, and thin-shape-izing, it prepares [steadily increasing] for this demand, and what carries the semiconductor chip in front flesh-side both sides of a leadframe is proposed in recent years (for example, JP,5-121462,A). Thus, while what carries a semiconductor chip in both sides can increase the number of I/O pins, width of face and a pitch become detailed, tend to transform the inner lead of the leadframe to connect, and it has a possibility of causing a short circuit. In this semiconductor device, the semiconductor chip of the usually same magnitude as the front face and rear face of a die pad is carried.

[0004] Moreover, since a bonding wire is used from both sides of a pad, it is hard to shorten it, and it has the technical problem of the increment in an impedance and improvement in the speed of a signal transmission being regulated.

[0005] Moreover, from cutting prevention

of a bonding wire, breakage prevention of a chip, etc., the semiconductor device which carried the semiconductor chip in pad both sides must perform a resin seal one side every, and has a problem on an activity -- a routing counter increases.

[0006]

[Problem(s) to be Solved by the Invention] By the way, since it responds to this request while the request about multi-functionalization of a semiconductor device and versatility-izing increases, it will be necessary to carry out the laminating of the semiconductor chip with which degrees of integration differ, or the semiconductor chip with which functions differ. And the semiconductor chips with which a degree of integration differs from a function differ also in size in many cases. Thus, if the semiconductor chip with which sizes differ is carried in both sides of the same die pad, problems, like since distance with the head of an inner lead becomes far, a bonding wire becomes long and the semiconductor chip of the smaller one produces the short circuit of a bonding wire the top where a bonding activity is difficult will be caused. When a bonding wire becomes long, the signal transfer time becomes long and there is a problem that high-speed processing is difficult further again.

[0007] The number of pins also increased, and lead width of face and lead spacing of especially an inner lead point are detailed,

it was easy to deform, it was easy to produce a short circuit and a faulty connection, and this might cause dependability lowering as were mentioned above and high integration of a semiconductor chip progressed further again.

[0008] This invention was made in view of said actual condition, and a bonding wire can be shortened, it can carry it, and it aims at preventing deformation of an inner lead further and offering the easy semiconductor device structure of a resin seal possible [the formation of many pins].

[0009]

[Means for Solving the Problem] Then, the description of the 1st semiconductor device of this invention so that some fields of the front face of the semiconductor chip loading section, the 1st semiconductor chip carried in said semiconductor chip loading section, and said 1st semiconductor chip may be made to expose The 2nd semiconductor chip by which the laminating was carried out to said 1st semiconductor chip front face through the insulator layer, The circuit pattern formed in said field through the insulator layer, and two or more inner leads you are made to connect to said 1st semiconductor chip, The leadframe possessing the outer lead formed successively by each inner lead is provided, and it is in said 2nd semiconductor chip being connected to

said leadframe through said circuit pattern.

[0010] Desirably, said semiconductor chip loading section consists of heat sinks.

[0011] Moreover, desirably, said 2nd semiconductor chip is smaller than said 1st semiconductor chip, and the head of said circuit pattern is constituted so that it may elongate to near the periphery of said 2nd semiconductor chip.

[0012] Desirably, the head of said circuit pattern is formed so that it may elongate to just under the periphery section of said 2nd semiconductor chip, and direct continuation of said 2nd semiconductor chip is carried out by direct bonding by face down so that a component forming face side front face may counter on the head of said circuit pattern.

[0013] The leadframe in which the description of the 2nd semiconductor device of this invention possesses two or more inner leads and the outer lead formed successively by each inner lead, By face down so that a component forming face side front face may counter on the head of said inner lead by direct bonding So that direct continuation may be carried out and said circuit pattern of the 1st semiconductor chip with which the circuit pattern was formed in the periphery section by the side of a non-component forming face, and said 1st semiconductor chip may be made to expose The 2nd semiconductor chip by which the laminating was carried out to

the non-[said] component forming face side front face of said 1st semiconductor chip is provided, and said 2nd semiconductor chip is connected to said leadframe through said circuit pattern.

[0014] Desirably, the head of said circuit pattern is formed so that it may elongate to just under the periphery section of said 2nd semiconductor chip, and direct continuation of said 2nd semiconductor chip is carried out by direct bonding by the face down so that a component forming face side front face may counter on the head of said circuit pattern.

[0015]

[Function] Since according to the above-mentioned structure the laminating of the semiconductor chip can be carried out to the one side side of a leadframe and a bonding wire can be shortened, even if it performs a resin seal at once, in order to cause neither cutting of a bonding wire, nor breakage of a chip, a resin seal is easy and becomes what has high mounting workability. Moreover, since a circuit pattern approaches and is prepared to the periphery of the 2nd semiconductor chip, a bonding wire becomes long and a possibility [like] of saying that the short circuit and faulty connection by the lappet arise does not have it, either.

[0016] Moreover, if the semiconductor chip loading section is constituted from a heat sink, heat dissipation nature will improve. Moreover, the rear face of this

heat sink is made to expose from closure resin, and it also becomes possible to raise heat dissipation nature.

[0017] Moreover, desirably, said 2nd semiconductor chip is smaller than said 1st semiconductor chip, and by being constituted so that the head of said circuit pattern may be elongated to near the periphery of said 2nd semiconductor chip, the 2nd semiconductor chip can press down the die length of a bonding wire to the minimum, also when substantially small compared with the 1st semiconductor chip.

[0018] Desirably, if direct continuation of said 2nd semiconductor chip is carried out by direct bonding by face down on the head of said circuit pattern, wirebonding between the 2nd semiconductor chip and a circuit pattern becomes unnecessary, further, it will be simplified and a mounting process will become easy [a resin seal].

[0019] Moreover, a circuit design becomes free, when according to the 2nd semiconductor device of this invention a rear-face, i.e., non-component forming face, side turns up and forms a circuit pattern through an insulator layer, since the 1st semiconductor chip is also connected to the leadframe by the FEU down. Since especially the location of a bonding pad requires heat and a pressure, consideration of avoiding a component formation field is required for it, but if it is made a face down, it will not have

these constraint and the very free circuit design of it will become possible. Moreover, it is also possible to form by the approach of forming a deep diffusion layer so that a rear-face side may be reached from a 1st semiconductor chip front-face side, so that it may connect with a leadframe from a 1st semiconductor chip front-face side. In this case, if it is made to mount the 2nd semiconductor chip on the 1st semiconductor chip by direct bonding by face down, it will become possible to attain connection without wirebonding.

[0020] if the 2nd semiconductor chip is connected through thermally conductive good adhesives in the structure of this 2nd semiconductor device on the other hand so that a non-component forming face side may come to a 1st semiconductor chip side -- moreover, the 1st semiconductor chip and 2nd semiconductor chip -- a rear-face comrade -- since it is mounted in the condition of having contacted thermally, the temperature of the 1st and 2nd semiconductor chips is maintainable to the same temperature at the time of an activity. Therefore, since the 1st and 2nd semiconductor chips can maintain both to the same temperature when they are that from which the temperature characteristic changes a lot, a property can be arranged.

[0021]

[Example] Hereafter, the example of this

invention is explained to a detail, referring to a drawing.

[0022] The sectional view of this semiconductor device is shown in drawing 1, and a field explanatory view (condition in front of a resin seal) same as the above is shown in drawing 2. The die pad 1 made to support this semiconductor device with a support bar 10, The leadframe 2 possessing two or more inner leads 3 elongated to the method of outside so that a radial may be made to this perimeter, The 1st semiconductor chip 4 as a memory chip carried in the front face of this die pad 1, It connects through the insulating polyimide film 6 on the 1st semiconductor chip 4. The 2nd semiconductor chip 7 as a logic chip smaller than this 1st semiconductor chip 4 is provided. The 1st semiconductor chip 4 is connected to the circuit pattern 8 with which the 2nd semiconductor chip 7 was formed in the periphery section of the 1st semiconductor chip through the insulator layer 14 through bonding wire 9b at an inner lead 3 through 1st bonding wire 9c, respectively. Furthermore, it connected with the inner lead 3 through bonding wire 9c, and the outside edge of this circuit pattern 8 has attained electrical installation. Furthermore with closure resin 11, the resin seal is made. Although the 1st semiconductor chip 4 is larger than the 2nd semiconductor chip 7 laid upwards here, the circuit pattern 8 develops to the periphery of the 2nd

semiconductor chip 7, and it is formed so that the 2nd semiconductor chip 7 may be approached more. It is made to form inner leads 3 successively by the outer lead 12, and is made to support them in one here by the tie rod 13. Moreover, the 1st semiconductor chip is covered with the insulator layer 14 in the whole front face. In addition, by this drawing 2, in order to make it intelligible, the circuit pattern 8 was omitted and showed the important section amplification explanatory view to drawing 3.

[0023] Next, the manufacture approach of this semiconductor device is explained.

[0024] First, after using as a start ingredient the bar which consists of 4-2 alloy and performing configuration processing by the usual press-working-of-sheet-metal method, a leadframe is formed through a plating process if needed.

[0025] Although the 1st and 2nd semiconductor chips are formed by the usual approach, the 1st semiconductor chip forms the circuit pattern 8 in the periphery section among these while covering the whole front face with an insulator layer 14 with screen printing, as an explanatory view is shown in drawing 3.

[0026] Subsequently, the 1st semiconductor chip 4 is carried in the front face of the die pad 1 of this leadframe through the insulating paste 5.

[0027] Then, the 2nd semiconductor chip

7 is carried through the insulating paste 6 on this 1st semiconductor chip.

[0028] After performing bonding through the 1st and 2nd bonding wires 9b and 9c, it closes by the resin 11 for closure. In addition, in this example, this 2nd bonding wire 9c has connected between inner leads 3 with the edge of the circuit pattern 8, or the bonding pad BP of the 1st semiconductor chip by turns.

[0029] Finally, a tie rod 13 is excised, an outer lead 12 is fabricated, and the semiconductor device of this invention is completed.

[0030] According to this semiconductor device, in order that bonding wire 9b connected to the 2nd semiconductor chip 7 since the circuit pattern 8 formed in the front face of the 1st semiconductor chip 4 through the insulator layer 14 is developing to near the 2nd semiconductor chip 7 may become short and may cause neither cutting of a bonding wire, nor breakage of a chip, it is easy a resin seal and becomes what has high mounting workability. Moreover, since the laminating of the semiconductor chip is carried out to the one side side of a leadframe, a resin seal is easy.

[0031] Moreover, if the semiconductor chip loading section is constituted from heat sinks, such as an alumina ceramic and copper, heat dissipation nature will improve further. Moreover, the rear face of this heat sink is made to expose from closure resin, and it also becomes possible

to raise heat dissipation nature.

[0032] Thus, it is made according to this invention, to protect good, although detailed-ization progresses corresponding to high integration of a semiconductor device in lead width of face and lead spacing, without producing deformation. And a bonding wire can be shortened further and neither a short circuit nor a faulty connection is produced. Moreover, even if it faces a resin seal, it becomes possible to offer a reliable semiconductor device, without deforming by the weight of resin.

[0033] Moreover, although 4-2 alloy was used as a start ingredient of a leadframe, it cannot be overemphasized that other approaches, such as the etching method, may be used, without using other ingredients, such as copper material, and being limited to the pressing method also as the molding approach.

[0034] In addition, what is necessary is to shift so that it may leave a circuit pattern formation field, to lay the 2nd semiconductor chip on the 1st semiconductor chip, and just to connect similarly, when the 2nd semiconductor chip located in same extent or the same upside is larger than the 1st semiconductor chip located in the bottom although the 2nd semiconductor chip was formed in said example smaller than the 1st semiconductor chip.

[0035] Moreover, although the 2nd semiconductor chip was connected to the

circuit pattern 8 by wirebonding in said 1st example As shown in drawing 4 as the 2nd example of this invention, it forms so that the head of the circuit pattern 8 may develop to just under the periphery section of the 2nd semiconductor chip 7. The 2nd semiconductor chip 7 It may be made to carry out direct continuation by direct bonding by face down so that a component forming face side front face may counter on the head of said circuit pattern.

[0036] Further again, as the 3rd example of this invention is shown in drawing 5, it may be made to carry out direct continuation also of the 1st semiconductor chip 4 by direct bonding so that a component forming face side front face may counter on the head of an inner lead 3. In this case, the circuit pattern 8 is formed in the periphery section by the side of the rear face of the 1st semiconductor chip 4, i.e., a non-component forming face, through an insulator layer 14, the 2nd semiconductor chip 7 fixes through the insulating paste 6 on this circuit pattern 8, and connection with the circuit pattern 8 is attained through bonding wire 9b. Moreover, the connection between the other end of the circuit pattern 8 and a leadframe is attained through bonding wire 9c.

[0037] With this configuration, the 1st and 2nd semiconductor chips are effective, when it can always maintain to the same temperature since a rear face can mount

so that it may contact thermally, and the heat characteristics of the 1st and 2nd semiconductor chips differ. An insulator layer 14 is formed only in a circuit pattern formation field, and while trying for the 1st and 2nd semiconductor chips to contact directly and connecting with a ground line, he is trying for the field where the 2nd semiconductor chip contacts to attain good thermal contact here.

[0038] Moreover, as the 4th example of this invention is shown in drawing 6, while connecting the 1st semiconductor chip 4 by face down, it may be made to form so that the head of the circuit pattern 8 may be elongated to just under the periphery section of the 2nd semiconductor chip 7, and to carry out direct continuation of the 2nd semiconductor chip to the circuit pattern 8 by direct bonding by face down so that a component forming face side front face may counter. Connection between the other end of the circuit pattern 8 and a leadframe is made through bonding wire 9c here.

[0039] Moreover, in the 4th example shown in the 3rd example and drawing 6 R> 6 which were shown in drawing 5, although it was made to make connection between the other end of the circuit pattern 8, and a leadframe through bonding wire 9c, if a diffusion layer which reaches a 1st semiconductor chip front-face side from the circuit pattern 8

side is formed and the bonding pad linked to the circuit pattern 8 is formed in a front-face side, a bonding wire will become unnecessary.

[0040] In addition, the method of inserting the formation by others and the film method or the thing which formed the thin film pattern on the polyimide film again can also apply formation of a circuit pattern. [approach / of performing by screen-stencil]

[0041] Moreover, although said example explained mounting which used the leadframe, it cannot be overemphasized that it may be made to mount using the so-called TAB substrate in which the circuit pattern was formed, in insulating films, such as a polyimide film.

[0042] Furthermore, it is desirable to form a bump in the part which performs direct bonding at a leadframe, circuit pattern, or semiconductor chip side.

[0043]

[Effect of the Invention] As explained above, according to this invention, it becomes a high speed and mounting are easy by many pins, and possible to offer the laminating mold semiconductor device which was excellent in dependability.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The sectional view of the semiconductor device of this invention example

[Drawing 2] The top-face explanatory view of the semiconductor device of this invention example

[Drawing 3] This semiconductor device is an amplification explanatory view a part.

[Drawing 4] The sectional view of the semiconductor device of the 2nd example of this invention

[Drawing 5] The sectional view of the semiconductor device of the 3rd example of this invention

[Drawing 6] The sectional view of the semiconductor device of the 4th example of this invention

[Description of Notations]

- 1 Die Pad
- 2 Leadframe
- 3 Inner Lead
- 4 1st Semiconductor Chip
- 5 Insulating Adhesives
- 6 Insulating Adhesives
- 7 2nd Semiconductor Chip
- 8 Circuit Pattern
- 9b Bonding wire
- 9c Bonding wire
- 10 Support Bar
- 11 Closure Resin
- 12 Outer Lead
- 13 Tie Rod
- 14 Insulator Layer

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-213545

(43)公開日 平成8年(1996)8月20日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 25/065

25/07

25/18

H 0 1 L 25/ 08

Z

審査請求 未請求 請求項の数6 O L (全 6 頁)

(21)出願番号

特願平7-18121

(22)出願日

平成7年(1995)2月6日

(71)出願人 000144038

株式会社三井ハイテック

福岡県北九州市八幡西区小嶺2丁目10-1

(72)発明者 清水 孝司

福岡県北九州市八幡西区小嶺2丁目10番1
号 株式会社三井ハイテック内

(72)発明者 坂田 精一郎

福岡県北九州市八幡西区小嶺2丁目10番1
号 株式会社三井ハイテック内

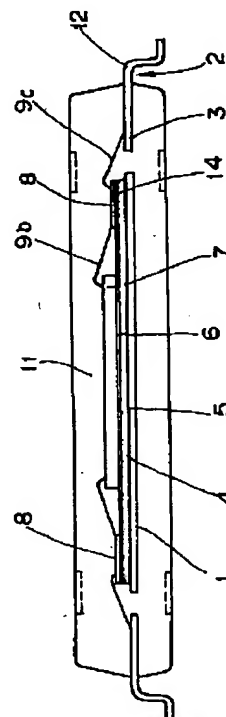
(74)代理人 弁理士 木村 高久

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 多ピン化が可能で信頼性の高い半導体装置構造を提供することを目的とする。

【構成】 本発明の半導体装置の特徴は、半導体チップ搭載部1と、前記半導体チップ搭載部1に搭載された第1の半導体チップ4と、前記第1の半導体チップ4の表面の一部の領域を露呈せしめるように、前記第1の半導体チップ表面に絶縁膜を介して積層された第2の半導体チップ7と、前記領域に絶縁膜14を介して形成された回路パターン8と、前記第1の半導体チップに接続せしめられる複数のインナーリード3と、各インナーリードに連設されたアウターリードとを具備したリードフレーム2とを具備し、前記第2の半導体チップ7は前記回路パターン8を介して前記リードフレーム2に接続されていることにある。



(2)

【特許請求の範囲】

【請求項1】 半導体チップ搭載部と、
前記半導体チップ搭載部に搭載された第1の半導体チップと、
前記第1の半導体チップの表面の一部の領域を露呈せしめるように、前記第1の半導体チップ表面に絶縁膜を介して積層された第2の半導体チップと、
前記領域に絶縁膜を介して形成された回路パターンと、
前記第1の半導体チップに接続せしめられた複数のインナーリードと、各インナーリードに連設されたアウターリードとを具備したリードフレームと、
を具備し、
前記第2の半導体チップは前記回路パターンを介して前記リードフレームに接続されていることを特徴とする半導体装置。

【請求項2】 前記半導体チップ搭載部は、放熱板であることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記第2の半導体チップは、前記第1の半導体チップよりも小さく、前記回路パターンの先端は前記第2の半導体チップの周縁近傍まで伸長するように構成されていることを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記回路パターンの先端は前記第2の半導体チップの周縁部の真下まで伸長するように形成され、

前記第2の半導体チップは、前記回路パターンの先端上に、素子形成面側表面が対向するようにフェイスダウンでダイレクトボンディングにより、直接接続されていることを特徴とする請求項1に記載の半導体装置。

【請求項5】 複数のインナーリードと、各インナーリードに連設されたアウターリードとを具備したリードフレームと、

前記インナーリードの先端上に、素子形成面側表面が対向するようにフェイスダウンでダイレクトボンディングにより、直接接続され、非素子形成面側の周縁部に回路パターンが形成された第1の半導体チップと、

前記第1の半導体チップの前記回路パターンを露呈せしめるように、前記第1の半導体チップの前記非素子形成面側表面に積層された第2の半導体チップとを具備し、
前記第2の半導体チップは前記回路パターンを介して前記リードフレームに接続されていることを特徴とする半導体装置。

【請求項6】 前記回路パターンの先端は前記第2の半導体チップの周縁部の真下まで伸長するように形成され、

前記第2の半導体チップは、前記回路パターンの先端上に、素子形成面側表面が対向するようにフェイスダウンでダイレクトボンディングにより、直接接続されていることを特徴とする請求項5に記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置に係り、特に、半導体チップの上に他の半導体チップを積層してなる積層型の半導体装置構造に関する。

【0002】

【従来の技術】通常、半導体装置は、リードフレームのダイパッド（半導体チップ搭載部）上に、半導体チップを搭載し、この半導体チップのボンディングパッドとリードフレームのインナーリードとをボンディングワイヤ等によって結線し、更にこれらを樹脂やセラミック等の封止材料で封止し、タイバーやサイドバーを切断し、アウターリードを所望の形状に折り曲げて完成せしめられる。

【0003】ところで近年、半導体装置の高密度化、薄型化への要求は高まる一方であり、この要求に備えて、リードフレームの表裏両面に半導体チップを搭載したものが提案されている（例えば、特開平5-121462号）。このように、両面に半導体チップを搭載するものは、入出力ピン数を増加することができる反面、接続するリードフレームのインナーリードは、幅、ピッチともに微細になり変形し易く、短絡を引き起こすおそれがある。この半導体装置では通常ダイパッドの表面および裏面に同じ大きさの半導体チップを搭載している。

【0004】また、ボンディングワイヤはパッドの両面から使用されるため短くし難く、インピーダンスの増加、信号伝送の高速化が規制されるなどの課題がある。

【0005】またパッド両面に半導体チップを搭載した半導体装置は、ボンディングワイヤの切断防止、チップの破損防止などから、樹脂封止は片面づつ行わなければならない、工程数が増大するなど、作業上の問題がある。

【0006】

【発明が解決しようとする課題】ところで、半導体装置の多機能化、多用途化についての要請が高まるなかで、この要請に対応するため、集積度の異なる半導体チップや機能の異なる半導体チップを積層する必要も生じている。そして、集積度や機能の異なる半導体チップはサイズも異なることが多い。このようにサイズの異なる半導体チップを同一のダイパッドの両面に搭載すると、小さい方の半導体チップはインナーリード先端との距離が遠くなるため、ボンディングワイヤが長くなり、ボンディング作業が難しい上、ボンディングワイヤの短絡を生じるなどの問題を引き起こす。さらにまた、ボンディングワイヤが長くなると、信号転送時間が長くなり、高速処理が困難であるという問題がある。

【0007】さらにまた、上述したように、半導体チップの高集積化が進むにつれて、ピン数も多くなり、インナーリード先端部は、特にリード幅、リード間隔共に微細で変形しやすく、短絡や接続不良を生じ易く、これが信頼性低下の原因となることがあった。

【0008】本発明は前記実情に鑑みてなされたもの

(3)

3

で、ボンディングワイヤを短くして搭載することができ、さらにインナーリードの変形を防止し多ピン化が可能で、かつ樹脂封止の容易な半導体装置構造を提供することを目的とする。

【0009】

【課題を解決するための手段】そこで本発明の第1の半導体装置の特徴は、半導体チップ搭載部と、前記半導体チップ搭載部に搭載された第1の半導体チップと、前記第1の半導体チップの表面の一部の領域を露呈せしめるように、前記第1の半導体チップ表面に絶縁膜を介して積層された第2の半導体チップと、前記領域に絶縁膜を介して形成された回路パターンと、前記第1の半導体チップに接続せしめられる複数のインナーリードと、各インナーリードに連設されたアウターリードとを具備したリードフレームとを具備し、前記第2の半導体チップは前記回路パターンを介して前記リードフレームに接続されていることにある。

【0010】望ましくは、前記半導体チップ搭載部を、放熱板で構成する。

【0011】また望ましくは、前記第2の半導体チップは、前記第1の半導体チップよりも小さく、前記回路パターンの先端は前記第2の半導体チップの周縁近傍まで伸長するように構成される。

【0012】望ましくは、前記回路パターンの先端は前記第2の半導体チップの周縁部の真下まで伸長するように形成され、前記第2の半導体チップは、前記回路パターンの先端上に、素子形成面側表面が対向するようにフェイスダウンでダイレクトボンディングにより、直接接続される。

【0013】本発明の第2の半導体装置の特徴は、複数のインナーリードと、各インナーリードに連設されたアウターリードとを具備したリードフレームと、前記インナーリードの先端上に、素子形成面側表面が対向するようにフェイスダウンでダイレクトボンディングにより、直接接続され、非素子形成面側の周縁部に回路パターンが形成された第1の半導体チップと、前記第1の半導体チップの前記回路パターンを露呈せしめるように、前記第1の半導体チップの前記非素子形成面側表面に積層された第2の半導体チップとを具備し、前記第2の半導体チップは前記回路パターンを介して前記リードフレームに接続されている。

【0014】望ましくは、前記回路パターンの先端は前記第2の半導体チップの周縁部の真下まで伸長するように形成され、前記第2の半導体チップは、前記回路パターンの先端上に、素子形成面側表面が対向するようにフェイスダウンでダイレクトボンディングにより、直接接続されている。

【0015】

【作用】上記構造によれば、リードフレームの片面側に半導体チップを積層し、かつボンディングワイヤを短く

4

することができるため、樹脂封止を一度に行っても、ボンディングワイヤの切断や、チップの破損を招くことがないため、樹脂封止が容易で、実装作業性が高いものとなる。また、回路パターンが第2の半導体チップの周縁まで、近接して設けられているため、ボンディングワイヤが長くなって垂れによる短絡や接続不良が生じるというようなおそれもない。

【0016】また、半導体チップ搭載部を放熱板で構成すれば、放熱性が向上する。また、この放熱板の裏面を封止樹脂から露呈せしめ、放熱性を高めるようにすることも可能となる。

【0017】また望ましくは、前記第2の半導体チップは、前記第1の半導体チップよりも小さく、前記回路パターンの先端は前記第2の半導体チップの周縁近傍まで伸長するように構成されることにより、第2の半導体チップが第1の半導体チップに比べて大幅に小さい場合にも、ボンディングワイヤの長さを最小限に押さえることができる。

【0018】望ましくは、前記第2の半導体チップを、前記回路パターンの先端上に、フェイスダウンでダイレクトボンディングにより、直接接続すれば、第2の半導体チップと回路パターンとの間のワイヤボンディングは不要となり、さらに実装工程は簡略化され、樹脂封止は容易となる。

【0019】また本発明の第2の半導体装置によれば、第1の半導体チップもフェースダウンでリードフレームに接続されているため、裏面側すなわち非素子形成面側が上になり、絶縁膜を介して回路パターンを形成する場合、回路設計が自由となる。特に、ボンディングパッドの位置は、熱と圧力がかかるため、素子形成領域を避けるなどの配慮が必要であるが、フェースダウンにすれば、これらの制約がなく極めて自由な回路設計が可能となる。また、第1の半導体チップ表面側から裏面側まで到達するように深い拡散層を形成する方法により、第1の半導体チップ表面側からリードフレームに接続するように形成することも可能である。この場合は、もし第2の半導体チップもフェースダウンでダイレクトボンディングにより第1の半導体チップ上に実装するようにすれば、ワイヤボンディングなしの接続を達成することが可能となる。

【0020】一方、この第2の半導体装置の構造において、第2の半導体チップは非素子形成面側が第1の半導体チップ側にくるように熱伝導性の良好な接着剤を介して接続するようにすれば、また第1の半導体チップおよび第2の半導体チップが裏面同志熱的に接触した状態で実装されているため、使用時に第1および第2の半導体チップの温度を同一温度に維持することができる。したがって、第1および第2の半導体チップが、温度特性が大きく変化するものである場合には、両者を同一温度に維持できるため、特性を揃えることができる。

(4)

5

【0021】

【実施例】以下、本発明の実施例について、図面を参照しつつ詳細に説明する。

【0022】図1にこの半導体装置の断面図、図2に同上面説明図（樹脂封止前の状態）を示す。この半導体装置は、サポートバー10で支持せしめられたダイパッド1と、この周囲に、放射状をなすように外方に伸長する複数のインナーリード3を具備したリードフレーム2と、このダイパッド1の表面に搭載された、メモリチップとしての第1の半導体チップ4と、第1の半導体チップ4上に絶縁性のポリイミドフィルム6を介して接続され、この第1の半導体チップ4よりも小さいロジックチップとしての第2の半導体チップ7とを具備しており、第1の半導体チップ4は第1のボンディングワイヤ9cを介してインナーリード3に、第2の半導体チップ7は第1の半導体チップの周縁部に絶縁膜14を介して形成された回路パターン8にボンディングワイヤ9bを介してそれぞれ接続され、さらにこの回路パターン8の外側端部はボンディングワイヤ9cを介してインナーリード3に接続され、電気的接続を達成している。さらに封止樹脂11によって、樹脂封止がなされている。ここで第1の半導体チップ4は上に載置される第2の半導体チップ7よりも大きい、回路パターン8が第2の半導体チップ7の周縁まで伸長し、第2の半導体チップ7に、より近接するように形成されている。ここでインナーリード3は、アウターリード12に連設せしめられ、タイバー13によって一体的に支持せしめられている。また第1の半導体チップは表面全体を絶縁膜14で被覆されている。なおこの図2ではわかりやすくするために回路パターン8は省略し、図3に要部拡大説明図を示した。

【0023】次にこの半導体装置の製造方法について説明する。

【0024】まず、4-2アロイからなる条材等を出発材料とし、通常のプレス加工法によって形状加工を行った後、必要に応じてメッキ工程を経てリードフレームを形成する。

【0025】第1および第2の半導体チップは通常の方法で形成されるが、これらのうち第1の半導体チップは図3に説明図を示すように、表面全体をスクリーン印刷法により絶縁膜14で被覆するとともに周縁部に回路パターン8を形成しておく。

【0026】次いでこのリードフレームのダイパッド1の表面に、絶縁性ペースト5を介して第1の半導体チップ4を搭載する。

【0027】続いてこの第1の半導体チップ上に絶縁性ペースト6を介して第2の半導体チップ7を搭載する。

【0028】第1および第2のボンディングワイヤ9b、9cを介してボンディングを行った後、封止用の樹脂11で封止する。なお、この例では、この第2のボンディングワイヤ9cは回路パターン8の端縁または第1

6

の半導体チップのボンディングパッドBPと、インナーリード3との間を交互に接続している。

【0029】最後に、タイバー13を切除し、アウターリード12を成形して本発明の半導体装置が完成する。

【0030】この半導体装置によれば、第1の半導体チップ4の表面に絶縁膜14を介して形成された回路パターン8が、第2の半導体チップ7の近傍まで伸長しているため、第2の半導体チップ7に接続するボンディングワイヤ9bは短くなり、ボンディングワイヤの切断や、チップの破損を招くことがないため、樹脂封止が容易で、実装作業性が高いものとなる。また、リードフレームの片面側に半導体チップを積層しているため、樹脂封止が容易である。

【0031】また、半導体チップ搭載部をアルミナセラミックや銅などの放熱板で構成すれば、放熱性がさらに向上する。また、この放熱板の裏面を封止樹脂から露呈せしめ、放熱性を高めるようにすることも可能となる。

【0032】このように、本発明によれば、半導体装置の高集積化に対応して、リード幅、リード間隔共に微細化が進んでも、変形を生じることなく良好に保護せしめられる。そして、さらにボンディングワイヤを短くすることができ、短絡や接続不良を生じることもない。また、樹脂封止に際しても、樹脂の重みで変形したりすることなく信頼性の高い半導体装置を提供することが可能となる。

【0033】また、リードフレームの出発材料として4-2アロイを用いたが、銅材等他の材料を用いてもよく、また成型方法としてもプレス法に限定されることなくエッチング法等他の方法を用いても良いことはいふまでもない。

【0034】なお、前記実施例では第2の半導体チップは第1の半導体チップよりも小さく形成したが、同じ程度あるいは上側に位置する第2の半導体チップの方が下側に位置する第1の半導体チップよりも大きい場合には、第1の半導体チップ上に、回路パターン形成領域を残すようにずらして第2の半導体チップを載置し、同様に接続すればよい。

【0035】また、前記第1の実施例では第2の半導体チップはワイヤボンディングにより回路パターン8に接続したが、本発明の第2の実施例として図4に示すように、回路パターン8の先端が第2の半導体チップ7の周縁部の真下まで伸長するように形成し、第2の半導体チップ7は、前記回路パターンの先端上に、素子形成面側表面が対向するようにフェイスダウンでダイレクトボンディングにより、直接接続するようにしてもよい。

【0036】さらにまた、図5に本発明の第3の実施例を示すように、第1の半導体チップ4も、インナーリード3の先端上に、素子形成面側表面が対向するようにダイレクトボンディングにより、直接接続するようにしてもよい。この場合、第1の半導体チップ4の裏面すなわ

(5)

ち非素子形成面側の周縁部に絶縁膜14を介して回路パターン8が形成され、この回路パターン8上に第2の半導体チップ7が絶縁ペースト6を介して固着され、ボンディングワイヤ9bを介して回路パターン8との接続が達成されている。また回路パターン8の他端とリードフレームとの接続はボンディングワイヤ9cを介して達成される。

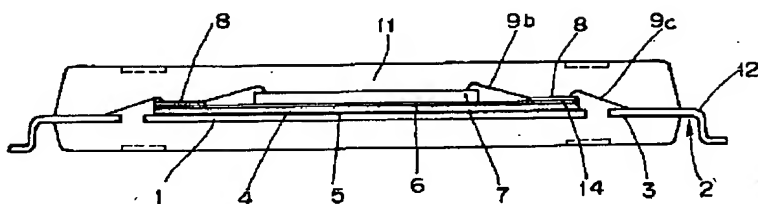
【0037】この構成では、第1および第2の半導体チップは裏面が熱的に接触するように実装することができるため、常に同一温度に維持することができ、第1および第2の半導体チップの熱特性が異なる場合には有効である。ここでは絶縁膜14は回路パターン形成領域にのみ形成し、第2の半導体チップが接触する領域は直接第1および第2の半導体チップが接触するようにしており、グランドラインに接続するとともに、良好な熱的接触を達成するようにしている。

【0038】また、図6に本発明の第4の実施例を示すように、第1の半導体チップ4をフェースダウンで接続するとともに、回路パターン8の先端を第2の半導体チップ7の周縁部の真下まで伸長するように形成し、第2の半導体チップを、素子形成面側表面が対向するようにフェイスダウンでダイレクトボンディングにより、回路パターン8に直接接続するようにしてもよい。ここで回路パターン8の他端とリードフレームとの接続はボンディングワイヤ9cを介して行っている。

【0039】また、図5に示した第3の実施例および図6に示した第4の実施例では、回路パターン8の他端とリードフレームとの接続はボンディングワイヤ9cを介して行うようにしたが、回路パターン8側から第1の半導体チップ表面側に到達するような拡散層等を形成し、回路パターン8に接続するボンディングパッドを表面側に形成するようにすれば、ボンディングワイヤは不要となる。

【0040】なお、回路パターンの形成はスクリーン印刷により行う方法の他、薄膜法による形成あるいは、また、ポリイミドフィルム上に薄膜パターンを形成したものを挟み込む方法も適用可能である。

【図1】



8

【0041】また、前記実施例では、リードフレームを用いた実装について説明したが、ポリイミドフィルムなどの絶縁性フィルムに回路パターンを形成したいわゆるTAB基板を用いて実装するようにしてもよいことはいうまでもない。

【0042】さらに、ダイレクトボンディングを行う箇所には、リードフレーム側または回路パターン側あるいは、半導体チップ側にバンプを形成しておくのが望ましい。

【0043】

【発明の効果】以上説明してきたように、本発明によれば、多ピンで高速かつ実装が容易で信頼性の優れた積層型半導体装置を提供することが可能となる。

【図面の簡単な説明】

【図1】本発明実施例の半導体装置の断面図

【図2】本発明実施例の半導体装置の上面説明図

【図3】同半導体装置の一部拡大説明図

【図4】本発明の第2の実施例の半導体装置の断面図

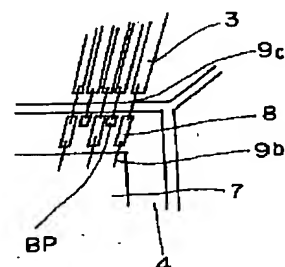
【図5】本発明の第3の実施例の半導体装置の断面図

【図6】本発明の第4の実施例の半導体装置の断面図

【符号の説明】

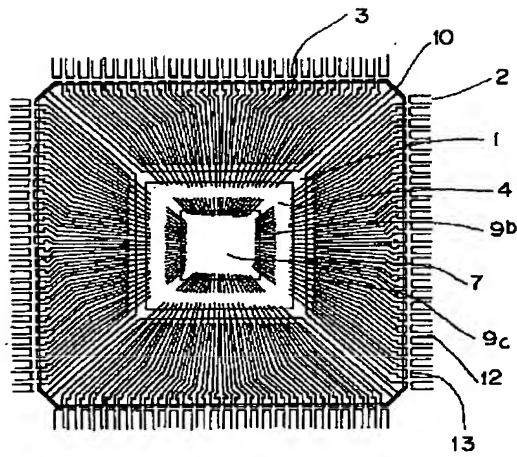
- 1 ダイパッド
- 2 リードフレーム
- 3 インナーリード
- 4 第1の半導体チップ
- 5 絶縁性接着剤
- 6 絶縁性接着剤
- 7 第2の半導体チップ
- 8 回路パターン
- 9b ボンディングワイヤ
- 9c ボンディングワイヤ
- 10 サポートバー
- 11 封止樹脂
- 12 アウタリード
- 13 タイバー
- 14 絶縁膜

【図3】

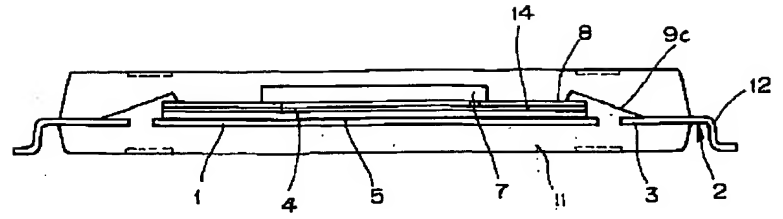


(6)

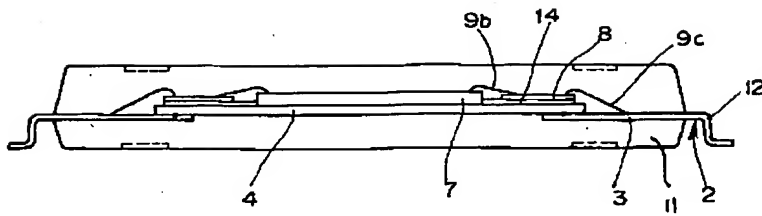
【図2】



【図4】



【図5】



【図6】

